

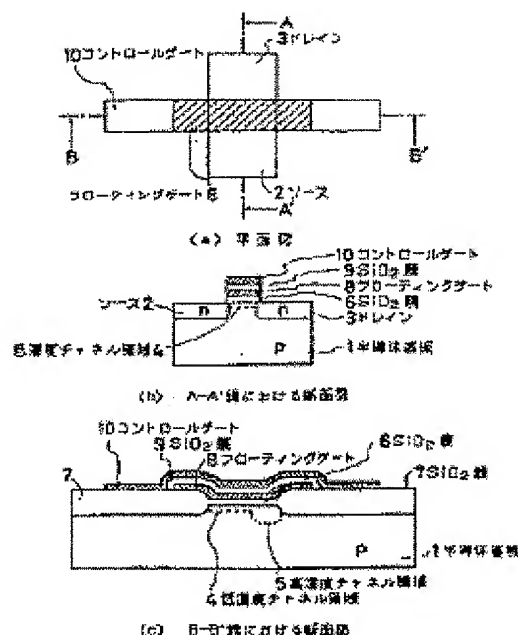
# NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

Patent number: JP4096278  
Publication date: 1992-03-27  
Inventor: YOSHIDA MASANOBU  
Applicant: FUJITSU LTD  
Classification:  
- international: **H01L21/8247; H01L29/788; H01L29/792; H01L21/70; H01L29/66; (IPC1-7): H01L29/788; H01L29/792**  
- european:  
Application number: JP19900206743 19900806  
Priority number(s): JP19900206743 19900806

Report a data error here

## Abstract of JP4096278

**PURPOSE:** To reduce  $V_{th}$  while holding excellent writing characteristic by continuously locally changing an impurity concentration in a channel region from a source region to a drain region. **CONSTITUTION:** A channel is formed of a low concentration channel region 4 and a high concentration channel region 5. In order to read, 5V is applied to a control gate 10, about 1V is applied to an n-type region source 2, and 0V is applied to an n-type region drain 3. Since an impurity concentration is low in the region 4, electrons are induced in a large quantity, and a current flowing to a memory cell is increased. About 12.5V is applied to the gate 10, about 7V is applied to the source 2, and 0V is applied to the drain 3. An avalanche breakdown occurs near the drain 3, and part of electrons of generated high energy are implanted in the gate 8. Since the impurity concentration of the region 5 is optimized for wiring, implanting current to the gate 8 is not reduced.



**Family list****1** family member for: **JP4096278**

Derived from 1 application

**1 NONVOLATILE SEMICONDUCTOR STORAGE DEVICE****Inventor:** YOSHIDA MASANOBU**Applicant:** FUJITSU LTD**EC:****IPC:** *H01L21/8247; H01L29/788; H01L29/792*  
(+4)**Publication info:** **JP4096278 A** - 1992-03-27Data supplied from the **esp@cenet** database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-96278

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月27日

H 01 L 29/788  
29/792

7514-4M H 01 L 29/78 371

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 不揮発性半導体記憶装置

⑯ 特 願 平2-206743

⑰ 出 願 平2(1990)8月6日

⑱ 発 明 者 吉 田 正 信 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 柏 谷 昭 司 外 1 名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

第1導電型の半導体基板上に形成された該第1導電型とは逆導電型のソース領域とドレイン領域と、該半導体基板表面の該ソース領域とドレイン領域にはさまれたチャネル領域と、絶縁膜を介して該チャネル領域の上に形成されたフローティングゲートと、絶縁膜を介して該フローティングゲート上に形成されたコントロールゲートとからなり、該チャネル領域における不純物濃度がソース領域からドレイン領域にかけて連続して局所的に異なっていることを特徴とするMISFET記憶セルを有する不揮発性半導体記憶装置。

3. 発明の詳細な説明

〔概要〕

電氣的に書き込み、消去可能な不揮発性半導体記憶装置に関し、

良好な書き込み特性を保ちながら、低い $V_{th}$ を

有するEPROM記憶セルを有する不揮発性半導体記憶装置を提供することを目的とし、

第1導電型の半導体基板上に形成された該第1導電型とは逆導電型のソース領域とドレイン領域と、該半導体基板表面の該ソース領域とドレイン領域にはさまれたチャネル領域と、絶縁膜を介して該チャネル領域の上に形成されたフローティングゲートと、絶縁膜を介して該フローティングゲート上に形成されたコントロールゲートとからなり、該チャネル領域における不純物濃度がソース領域からドレイン領域にかけて連続して局所的に異ならせて構成した。

〔産業上の利用分野〕

本発明は、電氣的に書き込み、消去可能な不揮発性半導体記憶装置に関する。

〔従来の技術〕

不揮発性半導体記憶装置の代表的なものとしてEPROMが広く知られている。

第3図(a)～(c)は、従来のEPROMの記憶セルの構成図で、第3図(a)はその平面図、

第3図(b)はそのA-A'線における断面図、第3図(c)はそのB-B'線における断面図である。

この図中の11はp型Si基板、12はn型領域のソース、13はn型領域のドレイン、14はチャネル、15はSiO<sub>2</sub>ゲート絶縁膜、16はSiO<sub>2</sub>フィールド絶縁膜、17は外部から電気的に接続されていないフローティングゲート、18はSiO<sub>2</sub>絶縁膜、19はフローティングゲートと容量的に結合しているコントロールゲートである。

このように、EPROMの記憶セルは、いわばnチャネルMOSトランジスタのゲートの下にフローティングゲートが存在するような構造になっている。

なお、上記のSiO<sub>2</sub>絶縁膜15、18の厚さは300Å程度、SiO<sub>2</sub>絶縁膜16の厚さは7000Å程度である。

このEPROMの動作は次に説明するとおりである。

この状態で記憶セルのコントロールゲート、ソース、ドレインに、動作に適した電圧を印加しても、フローティングゲートには電子が蓄積されていて、その電位が負になっているから、記憶セルは導通しない。

この状態を情報の“0”と定義する。

すなわち、アバランシェブレイクダウンによって、記憶セルの情報は“1”から“0”に変化する。

これが情報の書き込みである。

EPROMは消去により全記憶セルを情報“1”とし、所定の記憶セルを情報“0”に変化させることによって必要な情報を消去、記憶することができる。

読み出し

この記憶セルに適正な動作電圧、例えば、ソースに0V、ドレインに1V、コントロールゲートに5Vを印加すると、情報“1”の記憶セルにはドレイン電流が流れるが、情報“0”の記憶セルにはドレイン電流が流れない。

消去

EPROMの記憶内容を消去しようとするときは、記憶セルのフローティングゲートに紫外線を照射する。

この紫外線によって、フローティングゲートに蓄積されていた電荷が半導体基板に放電されて、フローティングゲートの電荷が0になる。

この状態で、記憶セルのコントロールゲート、ソース、ドレインに、動作に適した電圧を印加すると、導通状態になる。

この導通状態を情報の“1”と定義する。

すなわち、紫外線の照射によって、全ての記憶セルを情報“1”にすることが消去である。

書き込み

情報を書き込むときは、コントロールゲートとドレインに高電圧を印加する。

この高電圧によって、アバランシェブレイクダウンが起こり、その過程で高エネルギーを得た電子の一部がフローティングゲートに捕らえられ、蓄積される。

このように、記憶セルに適正な電圧を印加したときに導通するか導通しないかを検出することが読み出しである。

(発明が解決しようとする課題)

EPROMはシステムの制御プログラムを格納することが多い。

最近では、マイクロプロセッサの動作速度が向上してきたため、高速アクセスのEPROMが要求されるようになってきた。

一般に半導体装置を高速動作させるためには、寄生容量を高速で充放電するために、大きなgm(相互コンダクタンス)あるいは低いV<sub>th</sub>を有するトランジスタが必要である。

本発明の対象であるEPROMについても、大きな寄生容量をもつビット線メモリセルが駆動しなければならないから、高速EPROMでは大きなgmあるいは低いV<sub>th</sub>を有する記憶セルが必要となる。

ところが、書き込み特性を良好にするために、短い時間でフローティングゲート中に十分な電子

を蓄積するには、チャネル領域の不純物濃度をある程度高くし、アバランシェブレイクダウンを起こしやすくしなければならない。

その理由は、チャネル領域の濃度が高いとピンチオフ点がドレインに近くなり、短い距離に高い電界がかかるため、ピンチオフ点を通過した電子が電界加速によって高エネルギーを得やすいという現象があるためである。

ところが、よく知られているように、チャネル領域の濃度が高いと  $V_{th}$  が高くなり高速動作には不利になる。

また、例えば  $SiO_2$  膜を薄くすると  $V_{th}$  を低くすることはできるが、電荷保持特性が劣化するため、あまり薄くすることはできない。

また、ゲート長を短くして大きな  $g_m$  を得ることも考えられるが、リソグラフィ技術に限度があるため現実的でない。

本発明は、上記の事情に鑑み、良好な書き込み特性を保ちながら、低い  $V_{th}$  を有する EPROM 記憶セルを有する不揮発性半導体記憶装置を提供

することを目的とする。

〔課題を解決するための手段〕

本発明の不揮発性半導体記憶装置にあっては、第 1 導電型の半導体基板上に形成された該第 1 導電型とは逆導電型のソース領域とドレイン領域と、該半導体基板表面の該ソース領域とドレイン領域にはさまれたチャネル領域と、絶縁膜を介して該チャネル領域の上に形成されたフローティングゲートと、絶縁膜を介して該フローティングゲート上に形成されたコントロールゲートとからなり、該チャネル領域における不純物濃度がソース領域からドレイン領域にかけて連続して局所的に異なる構成を採用した。

〔作用〕

本発明のように、チャネルの不純物濃度を異ならせると、書き込み時にはその濃度の高い領域においてアバランシェブレイクダウンを起こさせ、読み出し時にはその濃度の低い領域において低い  $V_{th}$  を有する EPROM 記憶セルを実現することができる。

#### 〔実施例〕

以下、本発明の実施例を図面に基づいて説明する。

第 1 図 (a) ~ (c) は、本発明の実施例の不揮発性半導体記憶装置の構成図であり、第 1 図 (a) は平面図、第 1 図 (b) はその A-A' 線における断面図、第 1 図 (c) はその B-B' 線における断面図である。

図中、1 は p 型シリコン基板、2 は n 型領域のソース、3 は n 型領域のドレイン、4 は低濃度チャネル領域、5 は高濃度チャネル領域、6 は  $SiO_2$  ゲート絶縁膜、7 は  $SiO_2$  フィールド絶縁膜、8 はフローティングゲート、9 は  $SiO_2$  絶縁膜、10 はフローティングゲート 8 と容量的に結合しているコントロールゲートである。

$SiO_2$  絶縁膜 6、9 は厚さ 300 Å 程度、 $SiO_2$  絶縁膜 7 は厚さ 7000 Å 程度である。

本発明の不揮発性半導体記憶装置が第 3 図によって説明した従来の EPROM と異なる点は、チャネル領域における不純物濃度がソース領域から

ドレイン領域にかけて連続して局所的に異なっていることである。

すなわち、第 1 図 (c) におけるように、チャネルが、低濃度チャネル領域 4 と高濃度チャネル領域 5 とから形成されている。

そして、低濃度チャネル領域 4 の不純物濃度は読み出しに対して最適化され、高濃度チャネル領域 5 の不純物濃度は書き込みに対して最適化されている。

この不揮発性半導体記憶装置の動作について説明する。

消去

紫外線を照射して消去することは従来の装置と変わることはない。

読み出し

コントロールゲート 10 に 5 V を印加すると、容量結合によってフローティングゲート 8 の電圧が 3 V 程度に上昇する。

また、n 型領域のソース 2 に 1 V 程度、n 型領域のドレイン 3 に 0 V の電圧を印加する。

このような電圧の印加によって、この記憶セルは導通状態になるが、低濃度チャネル領域4においては不純物濃度が低いから、電子が従来例に比べて大量に誘起され、記憶セルに流す電流は従来例に比較して増大する。

#### 書き込み

コントロールゲート10に12.5V程度、n型領域のソース2に7V程度、n型領域のドレイン3に0Vの電圧を印加する。

すると、不純物濃度が高いn型領域のドレイン3付近でアバランシェブレイクダウンが生じ、発生した高エネルギーの電子の一部がフローティングゲート8に注入される。

この場合、高濃度チャネル領域5の不純物濃度が書き込みに対して最適化されているから、アバランシェブレイクダウンによるフローティングゲート8への注入電流は、従来例に比較しても低くなることはない。

また、その後、コントロールゲート10に5Vの電圧を印加しても、フローティングゲート8が

注入電子によって負の電位になっているから、チャネルは形成されず、非導通状態を保つことになる。

このようにして情報を記憶する。

つぎに、本発明の実施例の製造工程について説明する。

第2図(a)～(e)は、本発明の実施例の不揮発性半導体記憶装置の製造工程の説明図で、第2図(a)は本発明の実施例の製造中間段階の斜視図、第2図(b)は平面図、第2図(c)はそのC-C'線における断面図、第2図(d)はそのD-D'線における断面図、第2図(e)はE-E'線における断面図である。

この図中の符号は第1図において説明したものと同一である。

第2図(a)は、半導体基板1の表面にゲート絶縁膜6とフィールド絶縁膜を形成した段階における装置の斜視図である。

その上表面にフォトリソグラフィ技術によって、低濃度チャネル領域4に相当する部分にマス

クを設け、高濃度チャネル領域5に相当する部分にn型不純物をイオン注入し、ついで、このマスクを除去した後に再び全面に不純物をイオン注入することによって、低濃度チャネル領域4と高濃度チャネル領域5を形成する。

上記の他、従来公知の製造工程を利用して製造することができる。

#### 〔発明の効果〕

以上説明したように、本発明によると、良好な書き込み特性を保ちながら、低い $V_{th}$ を有するEPROMの記憶セルを実現することができる。

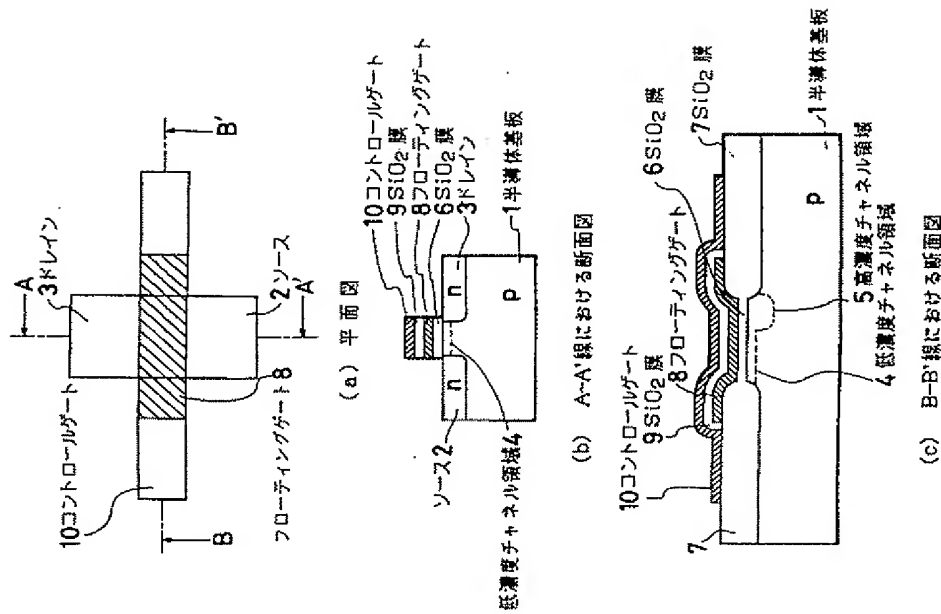
#### 4. 図面の簡単な説明

第1図(a)～(c)は本発明の実施例の不揮発性半導体記憶装置の構成図、第2図(a)～(e)は本発明の実施例の不揮発性半導体記憶装置の製造工程の説明図、第3図(a)～(c)は従来のEPROMの記憶セルの構成図である。

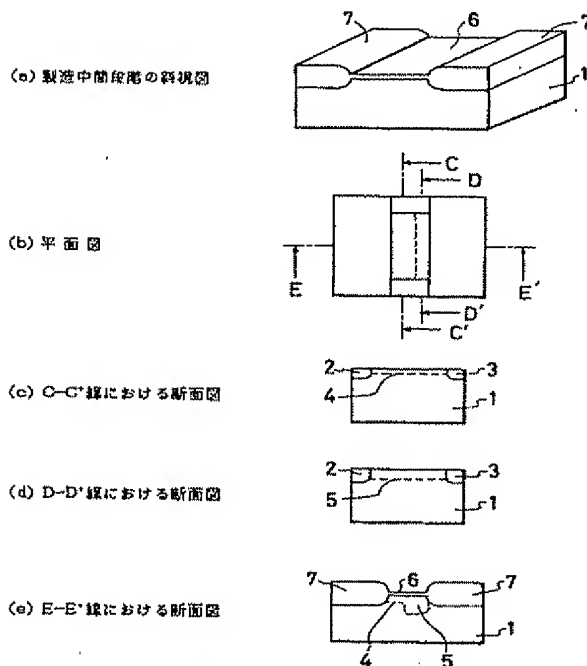
1……p型シリコン基板、2……n型領域のソース、3……n型領域のドレイン、4……低濃度チャネル領域、5……高濃度チャネル領域、6……SiO<sub>2</sub>ゲ

ート絶縁膜、7……SiO<sub>2</sub>フィールド絶縁膜、8……フローティングゲート、9……SiO<sub>2</sub>絶縁膜、10……コントロールゲート

特許出願人 富士通株式会社  
代理人弁理士 柏谷昭司  
代理人弁理士 渡邊弘一

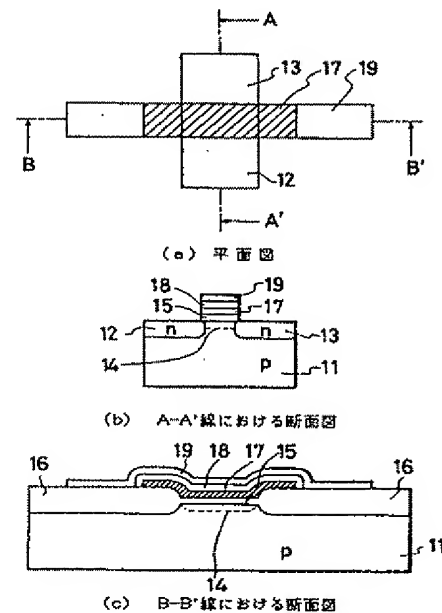


第 1 図



本発明の実施例の不揮発性半導体記憶装置の製造工程の説明図

第 2 図



従来の EPROM の記憶セルの構成図

第 3 図